

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-078164

(43)Date of publication of application : 14.03.2003

(51)Int.CI.

H01L 33/00

(21)Application number : 2002-245672

(71)Applicant : NICHIA CHEM IND LTD

(22)Date of filing : 17.11.1993

(72)Inventor : NAKAMURA SHUJI

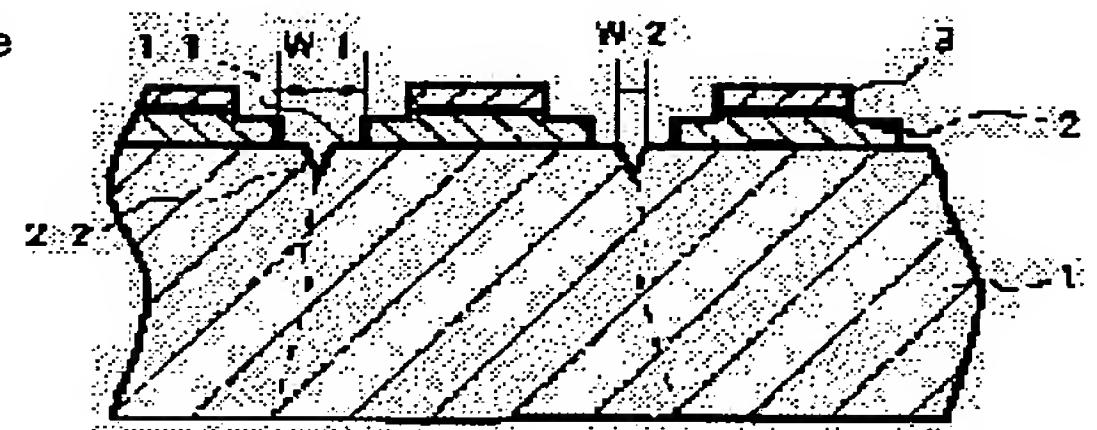
YAMADA MOTOKAZU

(54) GALLIUM NITRIDE -BASED COMPOUND SEMICONDUCTOR LIGHT EMITTING ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a gallium nitride-based compound semiconductor light emitting element that can be manufactured without compromising the crystallinity of a p-type layer or an n-type layer.

SOLUTION: This gallium nitride-based compound semiconductor light emitting element is manufactured by dividing a wafer provided with a gallium nitride-based compound semiconductor constituted by successively laminating the n-type layer and p-type layer on a sapphire substrate, and etching the p-type layer so that the electrode forming surface of the n-type layer may be exposed by forming dividing grooves on the surface of the wafer. The light emitting element has dividing groove forming surfaces which are positioned lower than the electrode forming surface and provided for forming the dividing grooves and the thickness of the sapphire substrate is set at $\leq 200 \mu\text{m}$.



LEGAL STATUS

[Date of request for examination] 26.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The wafer equipped with the gallium nitride system compound semiconductor etched so that the laminating of n type layer and the p type layer might be carried out to order and the electrode forming face of n type layer might be exposed on silicon on sapphire In the gallium nitride system compound semiconductor light emitting device produced by forming and dividing a rate slot The gallium nitride system compound semiconductor light emitting device which divides, and has a slot forming face and is characterized by the thing which was established as a field which is located below said electrode forming face and forms said rate slot, and whose thickness of said silicon on sapphire is 200 micrometers or less.

[Claim 2] Said rate slot forming face is the gallium nitride system compound semiconductor light emitting device according to claim 1 formed of etching.

[Claim 3] The gallium nitride system compound semiconductor light emitting device according to claim 1 or 2 produced by dividing said wafer using a scribe.

[Claim 4] The gallium nitride system compound semiconductor light emitting device of any one publication among claims 1-3 characterized by the thickness of said silicon on sapphire being 50 micrometers or more.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the gallium nitride system compound semiconductor chip used for luminescence devices, such as blue, green or a red light emitting diode, and a laser diode, and the gallium nitride system compound semiconductor (it is hereafter indicated as a nitride semi-conductor.) especially expressed with general formula $InXAlYGa1-X-YN$ ($0 \leq X \leq 1$, $0 \leq Y \leq 1$) on silicon on sapphire is related with the gallium nitride system compound semiconductor light emitting device by which the laminating was carried out.

[0002]

[Description of the Prior Art] Generally the dicer or the scriber is used for the equipment cut down for the chip for luminescence devices from the wafer with which the laminating of the semiconductor material was carried out on the substrate. After a dicer carries out direct full cutting of the wafer or cuts the slot of width larger than edge-of-a-blade width deeply in rotation of the blade which is generally also called a dicing saw and uses the edge of a blade as a diamond (half cutting), it is equipment which breaks a wafer according to external force. a both-way rectilinear motion of the needle which uses a tip as a diamond as well as a scriber on the other hand — a scribe line (marking line) very thin to a wafer -- for example, after lengthening in a grid pattern, it is equipment which breaks a wafer according to external force.

[0003] In case a semiconductor wafer is conventionally cut in the shape of a chip using these equipments, since there is cleavage in the "110" directions, the crystal of zinc structure which does not carry GaP, GaAs, etc. can be easily separated in the shape of a chip by putting in a scribe line in this direction with a scriber, using this property. However, since the laminating of the nitride semi-conductor was carried out on silicon on sapphire, it was difficult for the wafer not to have the property top cleavage of a sapphire crystal called hexagonal system, but to cut with a scriber. since a gallium nitride system compound semiconductor wafer is said so-called hetero epitaxial structure which carried out the laminating of the gallium nitride system compound semiconductor on sapphire as carried out on the other hand when cutting by the dicer — lattice constant irregular ** — it was large, and since coefficient of thermal expansion also differed, when external force was added, there was a problem that a gallium nitride system compound semiconductor tends to separate from silicon on sapphire. Furthermore, since Mohs hardness was about 9 and the very hard matter, it becomes easy to generate a crack and a chipping in a cutting plane, and both sapphire and a gallium nitride system compound semiconductor were not able to be cut correctly.

[0004] Moreover, as mentioned above, etching is usually performed to the same side side of a nitride semi-conductor layer, and a nitride semi-conductor is made into the condition that the layer was both exposed, in order to take out an electrode from p type layer and n type layer, since the laminating is carried out on an insulating substrate called sapphire. When separating the nitride semiconductor wafer of this condition in the shape of a chip and it cut from the nitride semi-conductor side of a direct etching side using said scribe, the dicer, etc., the crack etc. occurred in the cutting plane and there was a problem that a yield was not good.

[0005]

[Problem(s) to be Solved by the Invention] It is very important to obtain much luminescence chips from one wafer as much as possible, and to raise productivity, and it is indispensable requirements to obtain many chips, without moreover damaging the crystallinity of a nitride semi-conductor. Although the chip which consists of a nitride semi-conductor is not yet put in practical use, in order to put blue, a green light emitting diode, a laser diode, etc. in practical use using a near future nitride semi-conductor, the still more advanced chip-ized technique is searched for. Therefore, the place which this invention was made in view of such a situation, and is made into the purpose The nitride semiconductor wafer which uses sapphire as a substrate is faced dissociating in the shape of a chip. The crack of a cutting plane and generating of a chipping are prevented and a yield is good. A desired configuration, It is offering the manufacture approach of a nitride semiconductor chip of obtaining size, and offering the gallium nitride system compound semiconductor light emitting device which may be manufactured without spoiling the crystallinity of the nitride semi-conductor into which p type layer or n type layer was etched in order to prepare an electrode by this approach.

[0006]

[Means for Solving the Problem] The gallium nitride system compound semiconductor light emitting device concerning this invention The wafer equipped with the gallium nitride system compound semiconductor etched so that the laminating of n type layer and the p type layer might be carried out to order and the electrode forming face of n type layer might be exposed on silicon on sapphire In the gallium nitride system compound semiconductor light emitting device produced by forming and dividing a rate slot It divides, and has a slot forming face, and is characterized by the thing which was established as a field which is located below said electrode forming face and forms said rate slot and whose thickness of said silicon on sapphire is 200 micrometers or less. Moreover, as for said rate slot forming face, in the gallium nitride system compound semiconductor light emitting device concerning this invention, being formed of etching is desirable. Furthermore, as for the gallium nitride system compound semiconductor light emitting device concerning this invention, it is desirable to be produced by dividing said wafer using a scriber. Furthermore, as for the gallium nitride system compound semiconductor light emitting device smell concerning this invention, it is desirable that the thickness of said silicon on sapphire is 50 micrometers or more. Furthermore, the gallium nitride system compound semiconductor light emitting device

concerning this invention can be manufactured by the following manufacture approaches. Namely, the manufacture approach of the nitride semiconductor chip concerning the component of this invention It is the approach of separating the gallium nitride system compound semiconductor wafer equipped with the gallium nitride system compound semiconductor etched so that the electrode forming face of p type layer or n type layer might be exposed beforehand on silicon on sapphire in the shape of a chip. The process which newly etches into a gallium nitride system compound semiconductor side independently with etching of the electrode forming face of said gallium nitride system compound semiconductor, and forms the first rate slot in a line with a desired chip size, Next, while forming the second rate slot in a line further from said first rate slot above the depth which reaches silicon on sapphire Rather than the line breadth (W1) of the first rate slot, it is characterized by providing the process which adjusts narrowly the line breadth (W2) of the second rate slot, and the process which separates said wafer in the shape of a chip along said second rate slot.

[0007] as the etching means at the time of forming the first rate slot in the manufacture approach which the component of this invention requires — wet etching and dry etching — any may be used, if it is wet etching, the mixed acid of a sulfuric acid and a phosphoric acid can be used, for example, and if it is dry etching on the other hand, technique, such as reactive ion etching (RIE), ion milling, focusing beam etching, and ECR etching, can be used, for example. The desirable dry more nearly dirty one cannot damage a nitride semiconducting crystal easily. However, before etching, it cannot be overemphasized that the mask of a predetermined configuration is formed so that it may become the chip size of a request on a nitride semi-conductor front face.

[0008] Next, in order to form the second rate slot, technique, such as dicing, a scribe, and etching, can be used. The second rate slot is formed in the marks of the first [from the first rate slot that is,] rate slot. It is necessary to form this second rate slot above the depth which reaches silicon on sapphire, and to make it still narrower than the width of face of the first rate slot. Although especially the formation technique is not asked, a scribe is used especially preferably. Because, a scribe tends to make line breadth of the second rate slot narrower than the line breadth of the first rate slot, and can form a rate slot quickly compared with etching. Furthermore, since there is little area which shaves off silicon on sapphire at the time of wafer cutting and it ends compared with dicing, there is an advantage that many chips are obtained from a single wafer.

[0009] Moreover, before forming the first rate slot, or before forming the second rate slot, it is desirable to grind silicon on sapphire and to make it thin. As for the thickness of the silicon on sapphire after polish, adjusting to 150 micrometers or less is still more preferably desirable 200 micrometers or less. Because, the thickness of the nitride semi-conductor with which the laminating of the thickness of silicon on sapphire was usually carried out 300–800 micrometers and on it is occupied many and with dozens of micrometers, and, as for the nitride semiconductor wafer, the most is occupied by the thickness of silicon on sapphire. And as described above, since the laminating of the nitride semi-conductor is carried out on the ingredient with which a lattice constant differs from coefficient of thermal expansion, it has the property which is very hard to cut. Therefore, silicon on sapphire can be broken almost perpendicularly by adjusting the thickness of silicon on sapphire to said range. When forming the second rate slot by the scribe especially, an almost perpendicular cutting plane can be obtained by 1 time of the scribe by grinding silicon on sapphire in said range. Although especially the lower limit of the thickness of a substrate does not ask, since the wafer itself will become easy to break during polish if it is made not much thin, as a practical value, 50 micrometers or more are desirable.

[0010]

[Function] An operation of the manufacture approach concerning the component of this invention is explained based on a drawing. Drawing 1 thru/or drawing 8 are the type section Figs. explaining one process of the manufacture approach of this invention, and especially drawing 7 and drawing 8 expand and show the condition of the wafer at the time of forming the second rate slot.

[0011] n type layer 2 to etch p type layer 3 beforehand and prepare [are the type section Fig. of the wafer with which drawing 1 carried out the laminating of n mold nitride semi-conductor layer 2 (n type layer) and the p mold nitride semi-conductor layer 3 (p type layer) on silicon on sapphire 1,] the negative electrode is exposed.

[0012] Next, as shown in drawing 2 , 11 is formed in a line by the width of face of the first rate slotW1 by etching from on exposed n type layer 2. In addition, it cannot be overemphasized that the mask for forming the first rate slot in the front face of p type layer 3 and exposed n type layer 2 before etching is formed. A means to form this first rate slot 11 by etching has the operation which still more nearly physical stress is not applied to the p-n junction interface of a nitride semi-conductor, and the interface of sapphire and a nitride semi-conductor, and makes other scribes, dicing, etc. compared with a technique that it is hard to damage the crystal of a nitride semi-conductor. Furthermore, since the exposure of the location which forms the second rate slot 22 next will serve as only sapphire, and the edge of a blade which is means to form the second rate slot 22, such as a dicer and a scribe, does not touch a nitride semi-conductor at all, it is [be / it / if / the first rate slot 11 is formed until it reaches silicon on sapphire 1 as shown in this drawing,] the most desirable.

[0013] Next, the second rate slot 22 is newly formed in a line by the width of face W2 narrower than the line breadth W1 of the first rate slot 11 from as shown in drawing 3 , after forming the first rate slot 11. And the depth is carried out to more than the depth that reaches silicon on sapphire 1. (In drawing 3 , since the first rate slot 11 is formed until it reaches silicon on sapphire) in this case, it becomes more than the depth to which the depth of the second rate slot 22 reaches silicon on sapphire naturally. In this way by making line breadth W2 of the second rate slot 22 narrower than the line breadth W1 of the first rate slot 11 Since the edge of a blade which is the means forming of the second rate slot 22, such as a dicer and a scribe, does not touch n type layer 2 which should form the side face of a nitride semi-conductor, i.e., an electrode, crystallinity is not spoiled. Furthermore, since the depth of the second rate slot 22 is considered as above silicon on sapphire is reached, a substantial cutting part can serve as only silicon on sapphire, the configuration of the nitride semi-conductor made into the purpose can be controlled correctly, and it can separate into a chip. Moreover, since this drawing did not grind silicon on sapphire 1 but the second rate slot 22 was formed by the scribe, as shown in a broken line, possibility of sapphire becoming slanting and being divided is shown, but if half cutting of the second rate slot 22 is carried out by the dicer, and thickness of silicon on sapphire is set to 200 micrometers or less or full cutting is carried out, sapphire can be cut perpendicularly.

[0014] Drawing 4 grinds the silicon-on-sapphire 1 side of the wafer shown in drawing 1 or drawing 2 , and shows the condition of having set the thickness to 200 micrometers or less. Thus, even if it forms the second rate slot 22 by the

scribe by grinding a substrate and making it thin, silicon on sapphire 1 can be broken almost perpendicularly. However, as for the process which grinds silicon on sapphire, it is desirable to carry out, before forming the second [before forming the first rate slot] rate slot. It is because it is in the inclination for a substrate to tend to break during polish in the target location when it grinds after forming the second rate slot 22.

[0015] Drawing 5 and drawing 6 are the type-section Figs. showing the structure of the wafer obtained at one process concerning other examples of this application, the condition that drawing 5 did not form the first rate slot 11 until it reached silicon on sapphire 1, but it stopped it even in the middle of 2 n layers is shown, and drawing 6 shows the condition newly formed the second rate slot 22 from the first rate slot 11 shown in drawing 5 above the depth which reaches silicon on sapphire 1. If the second rate slot 22 can be formed above the depth which reaches silicon on sapphire 1 as shown in drawing 6, it is not necessary to etch until the first rate slot 11 reaches silicon on sapphire, as shown in drawing 5. However, if the thickness of the nitride semi-conductor (in the case of this drawing n type layer 2) of the location which should form the second rate slot is thick after forming the first rate slot 11 Since the stress by the scribe and the dicer acts and n layers of interfaces of 2 become easy to separate with silicon on sapphire 1 in case the second rate slot is formed behind, the thing which should usually form the second rate slot 22 and for which n layers of thickness of 2 are adjusted to 5 micrometers or less is desirable.

[0016] Drawing 7 and drawing 8 are the type section Figs. expanding and showing the structure of the wafer at the time of forming the second rate slot 22, it is shown that drawing 7 forms the second rate slot 22 using a scribe, and forming drawing 8 by the dicer is shown. After preparing a blemish in the front face of silicon on sapphire 1 by the second rate slot 22 also in any, it turns out that a wafer is separable in accordance with the blemish, but since the direction which forms the second rate slot 22 with a scribe can narrow width of face W1 of the first rate slot 11 as shown in drawing 7, it turns out that much chips are obtained. Moreover, by making width of face W2 of the second rate slot 22 narrower than W1, the side face of a nitride semi-conductor is not damaged with the edge of a blade of a scribe, the blade of a dicer, etc. In addition, although the first rate slot 11 shows the condition which left n type layer 2, i.e., the same condition as drawing 5, the part enclosed with with a circle [of a of drawing 8] Since this part shaved off in the second rate slot 22 is not n type layer 2 which is etched and should prepare the negative electrode, even if a blemish goes into a side face a little, since it is a part which is not especially important as a chip, it does not affect the luminescence property of a chip.

[0017]

[Example] The wafer which carried out 1-micrometer laminating of 6 micrometers and the p type layer 3 (p mold GaN in this case) for n type layer 2 (n mold GaN in this case) to order is prepared on the silicon on sapphire 1 of 400 micrometers in [example 1] thickness, and magnitude [of 2 inches] phi. However, the p mold GaN layer of this wafer is beforehand etched in a depth of 2 micrometers with a predetermined configuration, and n type layer 2 which should prepare an electrode as shown in drawing 9 is exposed in part. (Therefore, the thickness of n type layer 2 which it was etched and was exposed is set to 5 micrometers.) The top view which saw the wafer after etching from the nitride semi-conductor layer side is shown in drawing 9.

[0018] Next, on p type layer 3 of this wafer, and the etched n mold GaN layer 2, it etches into the n mold GaN layer 2 further, and the first rate slot 11 is formed until silicon on sapphire is exposed using RIE, after covering the mask which consists of SiO₂ with a photolithography technique so that it may become a predetermined chip size. Let the first rate slot be 350-micrometer pitch with the line breadth (W1) of 40 micrometers. The line breadth of this first rate slot and a pitch are shown in drawing 9.

[0019] After forming the first rate slot 11 as mentioned above, the silicon-on-sapphire 1 side of a wafer is ground by the burnisher, and a substrate is wrapped, and reaches and carries out polishing to the thickness of 100 micrometers.

[0020] Next, adhesive tape is stuck, a wafer is stuck on the table of a scribe, and it fixes to the silicon-on-sapphire 1 side of the wafer which finished polishing by the vacuum chuck. A table is movable in the X-axis (right and left) and the direction of a Y-axis (before or after), and has pivotable structure. The scribe of Chuo Line of the first above-mentioned rate slot is carried out once to X shaft orientations by the diamond stylus of a scribe after immobilization with 350-micrometer pitch, a depth of 5 micrometers, and the line breadth (W2) of 5 micrometers. 90 degrees is rotated and the scribe of the table is shortly carried out like Y shaft orientations. Thus, a scribe line is put in so that it may become the chip of 350-micrometer angle, and the second rate slot is formed.

[0021] Much chips of 350-micrometer angle were obtained from the wafer of 2 inch phi by releasing a vacuum chuck after a scribe, removing a wafer from a table, and pressing down with a roller lightly from a silicon-on-sapphire side. When the chip could be cut almost perpendicularly from the second end slot, and a crack did not occur in a cutting plane but the nitride semi-conductor took out further what has not separated from silicon on sapphire, the yield was 99% or more.

[0022] In the process which forms the first rate slot of the [example 2] example 1, when it divided similarly setting the etching depth to 4 micrometers, and also separating into a chip similarly etc. into the chip of 350-micrometer angle (that is, thickness of n type layer 2 of the part which forms the second rate slot 22 next was set to 1 micrometer), similarly the yield was 99% or more.

[0023] [Example 3] Like an example 1, the first rate slot is formed until it reaches silicon on sapphire in the first rate slot. However, let line breadth (W1) be 100 micrometers and 500-micrometer pitch.

[0024] Next, the silicon-on-sapphire 1 side of a wafer was ground by the burnisher, and the substrate was wrapped, and reached and carried out polishing to the thickness of 200 micrometers. Dicing time amount can be shortened by grinding a substrate at the process which forms the second next rate slot.

[0025] The wafer which finished polishing is fixed on the table of a dicer, and when the dicing of Chuo Line of the first rate slot is carried out and it carries out half cutting as well as X shaft orientations using a blade with a blade beam of 80 micrometers with 500-micrometer pitch, a depth of 50 micrometers, and the line breadth (W2) of 80 micrometers, the second rate slot is formed. Thus, a cutting plane can be made almost perpendicular by putting in the second rate slot deeply by the dicer, and making thin thickness of the silicon on sapphire of a cutting part.

[0026] Much chips of 500-micrometer angle were obtained from the wafer of 2 inch phi by removing a wafer from a table after half cutting, and pressing down with a roller lightly from a silicon-on-sapphire side. The yield of this chip was 99% or more similarly.

[0027]

[Effect of the Invention] As explained above, according to the approach of this invention, by technique, such as a scribe and a dicer, the nitride semiconductor wafer which does not have cleavage can also be correctly cut with a sufficient yield, and its productivity improves. And since the nitride semi-conductor which should form an electrode is not damaged at all, when the chip separated by the approach of this invention is used as a light emitting device, the yield of a component improves by leaps and bounds.

[Translation done.]

* NOTICES *

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1]** The type section Fig. explaining one process of the manufacture approach of this invention.
- [Drawing 2]** The type section Fig. explaining one process of the manufacture approach of this invention.
- [Drawing 3]** The type section Fig. explaining one process of the manufacture approach of this invention.
- [Drawing 4]** The type section Fig. explaining one process of the manufacture approach of this invention.
- [Drawing 5]** The type section Fig. explaining one process of the manufacture approach of this invention.
- [Drawing 6]** The type section Fig. explaining one process of the manufacture approach of this invention.
- [Drawing 7]** The expansion type section Fig. explaining one process of the manufacture approach of this invention.
- [Drawing 8]** The expansion type section Fig. explaining one process of the manufacture approach of this invention.
- [Drawing 9]** The top view explaining one process of the manufacture approach of this invention.

[Description of Notations]

- 1 Silicon on sapphire
- 2 n type layer
- 3 p type layer
- 11 ... First rate slot
- 22 ... Second rate slot

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-78164
(P2003-78164A)

(43) 公開日 平成15年3月14日 (2003.3.14)

(51) Int.Cl.⁷

H 01 L 33/00

識別記号

F I

H 01 L 33/00

テマコード(参考)

C 5 F 0 4 1

審査請求 有 請求項の数 4 OL (全 6 頁)

(21) 出願番号 特願2002-245672(P2002-245672)
(62) 分割の表示 特願2000-304615(P2000-304615)の分割
(22) 出願日 平成5年11月17日 (1993.11.17)

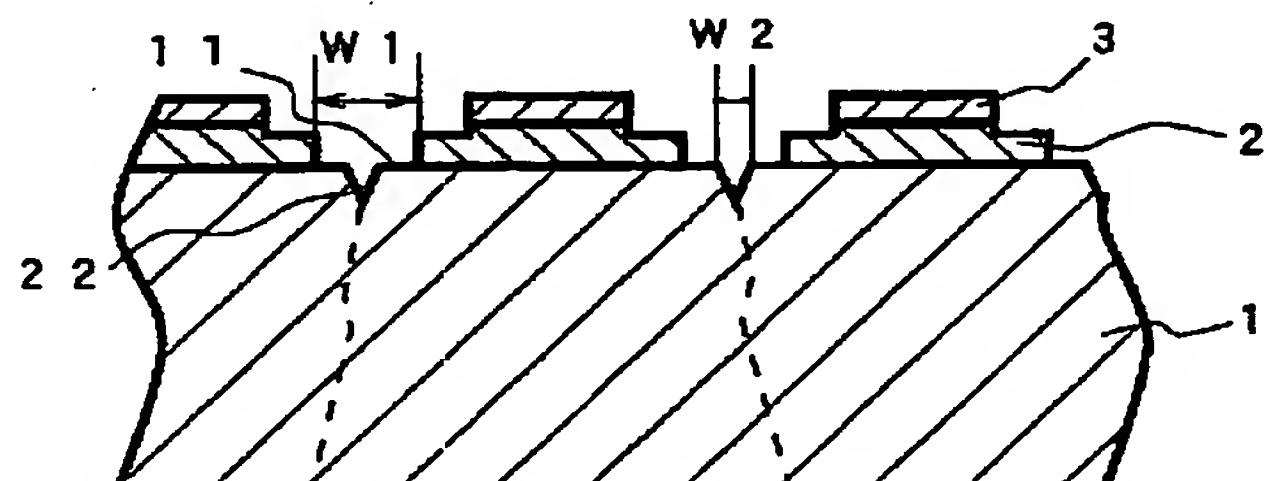
(71) 出願人 000226057
日亜化学工業株式会社
徳島県阿南市上中町岡491番地100
(72) 発明者 中村 修二
徳島県阿南市上中町岡491番地100 日亜化
学工業株式会社内
(72) 発明者 山田 元量
徳島県阿南市上中町岡491番地100 日亜化
学工業株式会社内
(74) 代理人 100074354
弁理士 豊栖 康弘 (外1名)
F ターム(参考) 5F041 AA41 CA40 CA46 CA74 CA75
CA76

(54) 【発明の名称】 窒化ガリウム系化合物半導体発光素子

(57) 【要約】

【課題】 p型層、あるいはn型層の結晶性を損なうことなく製造することが可能な窒化ガリウム系化合物半導体発光素子を提供する。

【解決手段】 サファイア基板上にn型層及びp型層が順に積層されて、n型層の電極形成面が露出するようにエッチングされた窒化ガリウム系化合物半導体を備えたウエーハを、割り溝を形成して分割することにより作製された窒化ガリウム系化合物半導体発光素子において、電極形成面より下に位置し割り溝を形成する面として設けられた割り溝形成面を有し、かつサファイア基板の厚さが200 μm以下とした。



【特許請求の範囲】

【請求項1】 サファイア基板上にn型層及びp型層が順に積層されて、n型層の電極形成面が露出するようにエッティングされた窒化ガリウム系化合物半導体を備えたウエーハを、割り溝を形成して分割することにより作製された窒化ガリウム系化合物半導体発光素子において、前記電極形成面より下に位置し前記割り溝を形成する面として設けられた割り溝形成面を有し、かつ前記サファイア基板の厚さが200μm以下であることを特徴とする窒化ガリウム系化合物半導体発光素子。

【請求項2】 前記割り溝形成面はエッティングにより形成された請求項1記載の窒化ガリウム系化合物半導体発光素子。

【請求項3】 前記ウエーハをスクライバーを用いて分割することにより作製した請求項1又は2記載の窒化ガリウム系化合物半導体発光素子。

【請求項4】 前記サファイア基板の厚さが50μm以上であることを特徴とする請求項1～3のうちのいずれか1つに記載の窒化ガリウム系化合物半導体発光素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、青色、緑色あるいは赤色発光ダイオード、レーザーダイオード等の発光デバイスに使用される窒化ガリウム系化合物半導体チップに係り、特に、サファイア基板上に一般式 $In_xGa_{1-x}N$ ($0 \leq x < 1$ 、 $0 \leq Y < 1$) で表される窒化ガリウム系化合物半導体（以下、窒化物半導体と記載する。）が積層された窒化ガリウム系化合物半導体発光素子に関する。

【0002】

【従来の技術】 一般に、基板上に半導体材料が積層されたウエーハから、発光デバイス用のチップに切り出す装置には一般にダイサー、またはスクライバーが使用されている。ダイサーとは一般にダイシングソーとも呼ばれ、刃先をダイヤモンドとするブレードの回転運動により、ウエーハを直接フルカットするか、または刃先巾よりも広い巾の溝を切り込んだ後（ハーフカット）、外力によってウエーハを割る装置である。一方、スクライバーとは同じく先端をダイヤモンドとする針の往復直線運動によりウエーハに極めて細いスクライブライン（墨書き線）を例えば碁盤目状に引いた後、外力によってウエーハを割る装置である。

【0003】 従来、これらの装置を用いて半導体ウエーハをチップ状にカットする際、例えばGaN、GaAs等のせん亜鉛構造の結晶はへき開性が「110」方向にあるためこの性質を利用して、例えばスクライバーでこの方向にスクライブラインを入れることにより簡単にチップ状に分離できる。しかしながら、窒化物半導体はサファイア基板の上に積層されるため、そのウエーハは六方晶系というサファイア結晶の性質上へき開性を有して

おらず、スクライバーで切断することは困難であった。一方、ダイサーで切断する場合においても、窒化ガリウム系化合物半導体ウエーハは、前記したようにサファイアの上に窒化ガリウム系化合物半導体を積層したいわゆるヘテロエピタキシャル構造であるため、格子定数不整が大きく、また熱膨張率も異なるため、外力が加わることにより窒化ガリウム系化合物半導体がサファイア基板から剥がれやすいという問題があった。さらにサファイア、窒化ガリウム系化合物半導体両方ともモース硬度がほぼ9と非常に硬い物質であるため、切断面にクラック、チッピングが発生しやすくなり正確に切断することができなかった。

【0004】 また前記のように窒化物半導体はサファイアという絶縁性基板の上に積層されていることから、p型層とn型層より電極を取り出すには、通常窒化物半導体層の同一面側にエッティングが行われ、両方層が露出した状態とされる。この状態の窒化物半導体ウエーハをチップ状に分離する際、前記スクライブ、ダイサー等を用い、直接エッティング面の窒化物半導体側から切断すると、切断面にクラック等が発生し、歩留がよくないという問題があった。

【0005】

【発明が解決しようとする課題】 一枚のウエーハからできるだけ数多くの発光チップを得て生産性を上げることは非常に重要であり、しかも窒化物半導体の結晶性を傷めずに多くのチップを得ることは必須要件である。窒化物半導体よりなるチップは未だ実用化されてはいないが、近い将来窒化物半導体を利用して、青色、緑色発光ダイオード、レーザーダイオード等を実用化するためには、益々高度なチップ化技術が求められている。従って、本発明はこのような事情を鑑みてなされたもので、その目的とするところは、サファイアを基板とする窒化物半導体ウエーハをチップ状に分離するに際し、切断面のクラック、チッピングの発生を防止し、歩留良く、所望の形状、サイズを得る窒化物半導体チップの製造方法を提供し、この方法により電極を設けるためにp型層、あるいはn型層がエッティングされた窒化物半導体の結晶性を損なうことなく製造され得る窒化ガリウム系化合物半導体発光素子を提供することである。

【0006】

【課題を解決するための手段】 本発明に係る窒化ガリウム系化合物半導体発光素子は、サファイア基板上にn型層及びp型層が順に積層されて、n型層の電極形成面が露出するようにエッティングされた窒化ガリウム系化合物半導体を備えたウエーハを、割り溝を形成して分割することにより作製された窒化ガリウム系化合物半導体発光素子において、前記電極形成面より下に位置し前記割り溝を形成する面として設けられた割り溝形成面を有し、かつ前記サファイア基板の厚さが200μm以下であることを特徴とする。また、本発明に係る窒化ガリウム系

化合物半導体発光素子において、前記割り溝形成面はエッティングにより形成されていることが好ましい。さらに、本発明に係る窒化ガリウム系化合物半導体発光素子は、前記ウエーハをスクライバーを用いて分割することにより作製されていることが好ましい。またさらに、本発明に係る窒化ガリウム系化合物半導体発光素子においては、前記サファイア基板の厚さが $50\mu m$ 以上であることが好ましい。さらに、本発明に係る窒化ガリウム系化合物半導体発光素子は、以下の製造方法により製造することができる。すなわち、本発明の素子に係る窒化物半導体チップの製造方法は、予めp型層あるいはn型層の電極形成面が露出するようにエッティングされた窒化ガリウム系化合物半導体をサファイア基板上に備えた窒化ガリウム系化合物半導体ウエーハをチップ状に分離する方法であって、前記窒化ガリウム系化合物半導体の電極形成面のエッティングとは別に、新たに窒化ガリウム系化合物半導体面にエッティングを行い、第一の割り溝を所望のチップサイズで線状に形成する工程と、次に前記第一の割り溝の上から、さらに第二の割り溝をサファイア基板に達する深さ以上で線状に形成すると共に、第一の割り溝の線幅(W1)よりも、第二の割り溝の線幅(W2)を狭く調整する工程と、前記第二の割り溝に沿って前記ウエーハをチップ状に分離する工程とを具備することを特徴とする。

【0007】本発明の素子に係る製造方法において、第一の割り溝を形成する際のエッティング手段としてウエットエッティング、ドライエッティングいずれを用いてもよく、ウエットエッティングであれば、例えば硫酸とリン酸の混酸を用いることができ、一方ドライエッティングであれば、例えば反応性イオンエッティング(RIE)、イオンミリング、集束ビームエッティング、ECRエッティング等の手法を用いることができる。好ましくはドライエッチの方が窒化物半導体結晶を傷めにくく。但し、エッティングを行う前に、窒化物半導体表面に所望のチップサイズとなるように、所定の形状のマスクを形成することは言うまでもない。

【0008】次に、第二の割り溝を形成するには、ダイシング、スクライブ、エッティング等の手法を用いることができる。第二の割り溝は第一の割り溝の上から、つまり第一の割り溝の跡に形成する。この第二の割り溝はサファイア基板に達する深さ以上で形成する必要があり、さらに第一の割り溝の幅よりも狭くする必要がある。形成手法は特に問わないが、特に好ましくはスクライブを用いる。なぜなら、スクライブは第二の割り溝の線幅を、第一の割り溝の線幅よりも狭くしやすく、また、エッティングに比べて迅速に割り溝を形成できる。さらに、ダイシングに比べて、ウエーハ切断時にサファイア基板を削り取る面積が少なくて済むので、単一ウエーハから多くのチップが得られるという利点がある。

【0009】また、第一の割り溝を形成する前、あるいは

第二の割り溝を形成する前に、サファイア基板を研磨して薄くすることが好ましい。研磨後のサファイア基板の厚さは $200\mu m$ 以下、さらに好ましくは $150\mu m$ 以下に調整することが望ましい。なぜなら、窒化物半導体ウエーハは、サファイア基板の厚さが通常 $300\sim 800\mu m$ 、その上に積層された窒化物半導体の厚さが多くとも数十 μm あり、そのほとんどがサファイア基板の厚さで占められている。しかも、前記したように窒化物半導体は格子定数、および熱膨張率の異なる材料の上に積層されているため、非常に切断しにくい性質を有している。従って、サファイア基板の厚さを前記範囲に調整することにより、サファイア基板をほぼ垂直に割ることができ。特に、第二の割り溝をスクライブで形成する場合には、サファイア基板を前記範囲に研磨することにより、一回のスクライブでほぼ垂直な切断面を得ることができる。基板の厚さの下限値は特に問わないが、あまり薄くすると研磨中にウエーハ自体が割れ易くなるため、実用的な値としては $50\mu m$ 以上が好ましい。

【0010】

【作用】本発明の素子に係る製造方法の作用を図面を元に説明する。図1ないし図8は本発明の製造方法の一工程を説明する模式断面図であり、特に図7および図8は第二の割り溝を形成する際のウエーハの状態を拡大して示している。

【0011】図1はサファイア基板1の上にn型窒化物半導体層2(n型層)と、p型窒化物半導体層3(p型層)とを積層したウエーハの模式断面図であり、p型層3が予めエッティングされて、負電極を設けるためのn型層2が露出されている。

【0012】次に、図2に示すように、露出されたn型層2の上からエッティングにより第一の割り溝11をW1の幅で線状に形成する。なおエッティング前に、p型層3と、露出されたn型層2の表面に、第一の割り溝を形成するためのマスクを形成することはいうまでもない。この第一の割り溝11をエッティングで形成する手段は、他のスクライブ、ダイシング等に技術に比べて、窒化物半導体の結晶を傷めにくく、さらに物理的な応力が窒化物半導体のp-n接合界面、サファイアと窒化物半導体の界面に係らなくする作用がある。さらに、この図に示すように第一の割り溝11をサファイア基板1に達するまで形成すると、次に第二の割り溝22を形成する位置の露出面がサファイアのみとなるため、第二の割り溝22を形成する手段であるダイサー、スクライバー等の刃先が全く窒化物半導体に触れる事はないので最も好ましい。

【0013】次に図3に示すように、第一の割り溝11を形成した上から、新たに第二の割り溝22を、第一の割り溝11の線幅W1よりも狭い幅W2で線状に形成する。しかも、その深さはサファイア基板1に達する深さ以上とする。(図3では第一の割り溝11をサファイア

基板に達するまで形成しているため、この場合第二の割り溝22の深さが自ずからサファイア基板に達する深さ以上となる。) このように、第二の割り溝22の線幅W2を第一の割り溝11の線幅W1よりも狭くすることにより、第二の割り溝22の形成手段であるダイサー、スクライバー等の刃先が窒化物半導体の側面、つまり電極を形成するべきn型層2に触れることがないので結晶性を損なうことがない。さらに、第二の割り溝22の深さをサファイア基板に達する以上としているので、実質的な切断箇所がサファイア基板のみとなり、目的とする窒化物半導体の形状を正確に制御でき、チップに分離することができる。またこの図はサファイア基板1を研磨せず、第二の割り溝22をスクライブで形成したために、破線に示すようにサファイアが斜めになって割れる可能性を示しているが、ダイサーで第二の割り溝22をハーフカットしてサファイア基板の厚さを200μm以下にするか、またはフルカットすればサファイアを垂直に切断することができる。

【0014】図4は、図1または図2に示すウエーハのサファイア基板1側を研磨して、その厚さを200μm以下にした状態を示している。このように基板を研磨して薄くすることにより、スクライブで第二の割り溝22を形成しても、サファイア基板1をほぼ垂直に割ることができ。但し、サファイア基板を研磨する工程は第一の割り溝を形成する前か、または第二の割り溝を形成する前に行なうことが好ましい。なぜなら第二の割り溝22を形成した後研磨すると、研磨中に基板が目的としない位置で割れやすい傾向にあるからである。

【0015】図5、および図6は本願の他の実施例に係る一工程で得られるウエーハの構造を示す模式断面図であり、図5は第一の割り溝11をサファイア基板1に達するまで形成せず、n層2の途中までで止めた状態を示し、図6は図5に示す第一の割り溝11の上から、新たに第二の割り溝22をサファイア基板1に達する深さ以上で形成した状態を示している。図6に示すように第二の割り溝22をサファイア基板1に達する深さ以上で形成することができれば、図5に示すように、第一の割り溝11がサファイア基板に達するまでエッチングする必要はない。しかし第一の割り溝11を形成した後、第二の割り溝を形成するべき位置の窒化物半導体(この図の場合、n型層2)の厚さが厚いと、後に第二の割り溝を形成する際にスクライバー、ダイサーによる応力が作用し、サファイア基板1とn層2の界面が剥がれやすくなるため、通常はその第二の割り溝22を形成するべきn層2の厚さを5μm以下に調整することが好ましい。

【0016】図7、および図8は第二の割り溝22を形成する際のウエーハの構造を拡大して示す模式断面図であり、図7は第二の割り溝22をスクライバーを用いて形成することを示し、図8はダイサーにより形成することを示している。いずれにおいてもサファイア基板1の

表面に第二の割り溝22により傷を設けた後、その傷に沿ってウエーハを分離できることがわかるが、図7に示すようにスクライバーで第二の割り溝22を形成する方が、第一の割り溝11の幅W1を狭くすることができる。数多くのチップが得られることがわかる。また第二の割り溝22の幅W2をW1よりも狭くしていることにより、スクライバーの刃先、ダイサーのブレード等で窒化物半導体の側面を傷めることがない。なお図8のaの丸で囲んだ部分は、第一の割り溝11がn型層2を残した状態、つまり図5と同一の状態を示しているが、第二の割り溝22で削り取られるこの部分は、エッティングされて負電極を設けるべきn型層2ではないので、少々側面に傷が入ってもチップとしては特に重要でない部分であるため、チップの発光特性には影響を与えることがない。

【0017】

【実施例】 【実施例1】 厚さ400μm、大きさ2インチφのサファイア基板1の上に順にn型層2(この場合n型GaN)を6μmと、p型層3(この場合p型GaN)とを1μm積層したウエーハを用意する。但し、このウエーハのp型GaN層を予め所定の形状で2μmの深さでエッティングして、図9に示すように電極を設けるべきn型層2を一部露出させている。(従って、エッティングされて露出したn型層2の厚さは5μmとなる。) エッティング後のウエーハを窒化物半導体層側からみた平面図を図9に示す。

【0018】 次に、このウエーハのp型層3およびエッティングされたn型GaN層2の上に、所定のチップサイズになるようにフォトリソグラフィー技術によりSIO2よりなるマスクをかけた後、RIEを用いサファイア基板が露出するまで、さらにn型GaN層2にエッティングを行い、第一の割り溝11を形成する。第一の割り溝は線幅(W1)40μmで350μmピッチとする。この第一の割り溝の線幅、ピッチを図9に示す。

【0019】 以上のようにして、第一の割り溝11を形成した後、ウエーハのサファイア基板1側を研磨器により研磨して、基板を100μmの厚さにラッピング、およびポリッシングする。

【0020】 次に、ポリッシングを終えたウエーハのサファイア基板1側に、粘着テープを貼付し、スクライバーのテーブル上にウエーハを張り付け、真空チャックで固定する。テーブルはX軸(左右)、Y軸(前後)方向に移動することができ、回転可能な構造となっている。固定後、スクライバーのダイヤモンド針で、前述の第一の割り溝の中央線をX軸方向に350μmピッチ、深さ5μm、線幅(W2)5μmで一回スクライブする。テーブルを90°回転させて今度はY軸方向に同様にしてスクライブする。このようにして350μm角のチップになるようにスクライブラインを入れ、第二の割り溝を形成する。

【0021】スクライブ後、真空チャックを解放し、ウエーハをテーブルから剥し取り、サファイア基板側から軽くローラーで押さえることにより、2インチのウエーハから $350\mu m$ 角のチップを多数得た。チップは第二の切り溝からほぼ垂直に切断できており、切断面にクラックが発生しておらず、さらに窒化物半導体がサファイア基板から剥がれていないものを取りだしたところ、歩留は99%以上であった。

【0022】【実施例2】実施例1の第一の割り溝を形成する工程において、エッチング深さを $4\mu m$ とする他は同様にしてチップに分離する（つまり、次に第二の割り溝22を形成する部分のn型層2の厚さを $1\mu m$ とした）他は同様にして $350\mu m$ 角のチップに分離したところ、歩留は同じく99%以上であった。

【0023】【実施例3】第一の割り溝を実施例1と同様にして、第一の割り溝をサファイア基板に達するまで形成する。但し線幅(W1)は $100\mu m$ 、 $500\mu m$ ピッチとする。

【0024】次にウエーハのサファイア基板1側を研磨器により研磨して、基板を $200\mu m$ の厚さにラッピング、およびポリッシングした。基板を研磨することにより次の第二の割り溝を形成する工程でダイシング時間を短縮することができる。

【0025】ポリッシングを終えたウエーハをダイサーのテーブル上に固定し、ブレード幅 $80\mu m$ のブレードを用いて、第一の割り溝の中央線をX軸方向に同じく $500\mu m$ ピッチ、深さ $50\mu m$ 、線幅(W2) $80\mu m$ でダイシングしてハーフカットすることにより第二の割り溝を形成する。このように第二の割り溝をダイサーで深く入れて、切断部分のサファイア基板の厚さを薄くすることにより、切断面をほぼ垂直にすることができる。

【0026】ハーフカット後、ウエーハをテーブルから剥し取り、サファイア基板側から軽くローラーで押さえることにより、2インチのウエーハから $500\mu m$ 角のチップを多数得た。このチップの歩留も同様に99%

以上であった。

【0027】

【発明の効果】以上説明したように、本発明の方法によると、へき開性を有していない窒化物半導体ウエーハでも、スクライブ、ダイサー等の手法により、歩留よく正確に切断することができ、生産性が向上する。しかも電極を形成するべき窒化物半導体を全く傷めることがないので、本発明の方法で分離されたチップを発光素子とした場合、素子の歩留が飛躍的に向上する。

【図面の簡単な説明】

【図1】 本発明の製造方法の一工程を説明する模式断面図。

【図2】 本発明の製造方法の一工程を説明する模式断面図。

【図3】 本発明の製造方法の一工程を説明する模式断面図。

【図4】 本発明の製造方法の一工程を説明する模式断面図。

【図5】 本発明の製造方法の一工程を説明する模式断面図。

【図6】 本発明の製造方法の一工程を説明する模式断面図。

【図7】 本発明の製造方法の一工程を説明する拡大模式断面図。

【図8】 本発明の製造方法の一工程を説明する拡大模式断面図。

【図9】 本発明の製造方法の一工程を説明する平面図。

【符号の説明】

1 …… サファイア基板

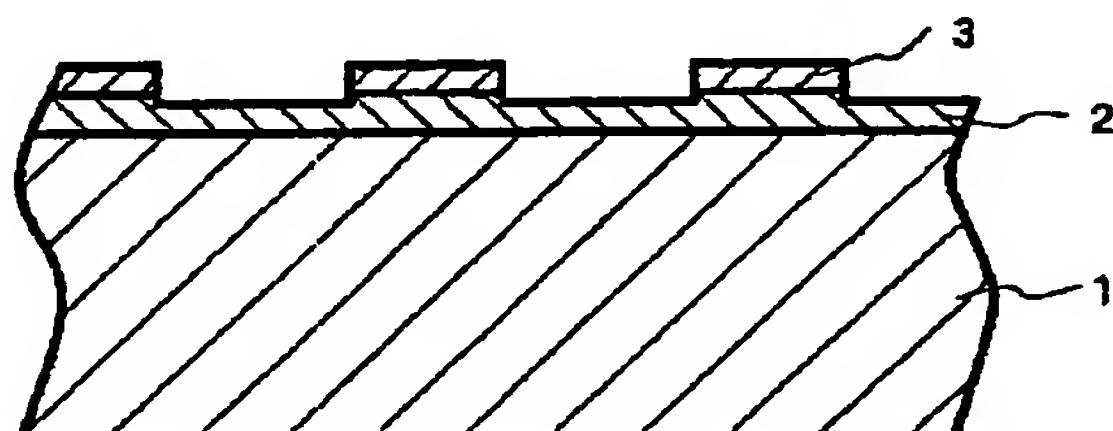
2 …… n型層

3 …… p型層

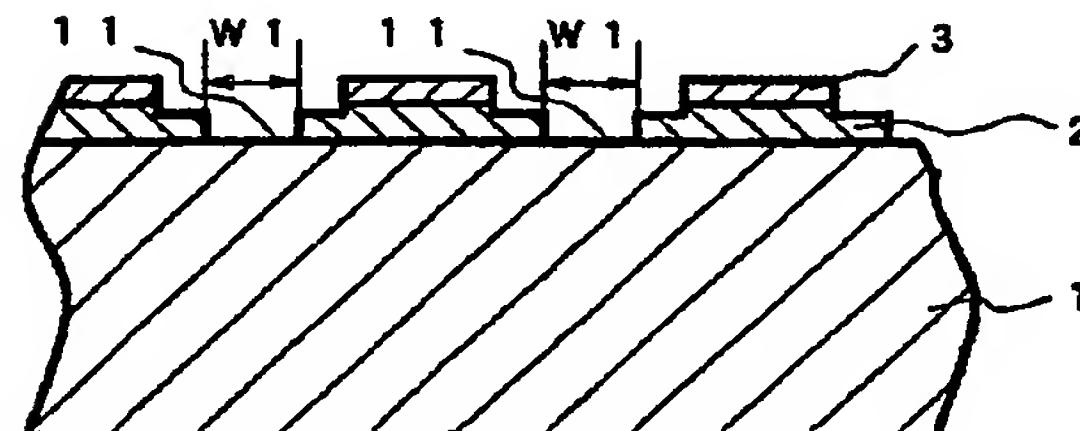
11 …… 第一の割り溝

22 …… 第二の割り溝

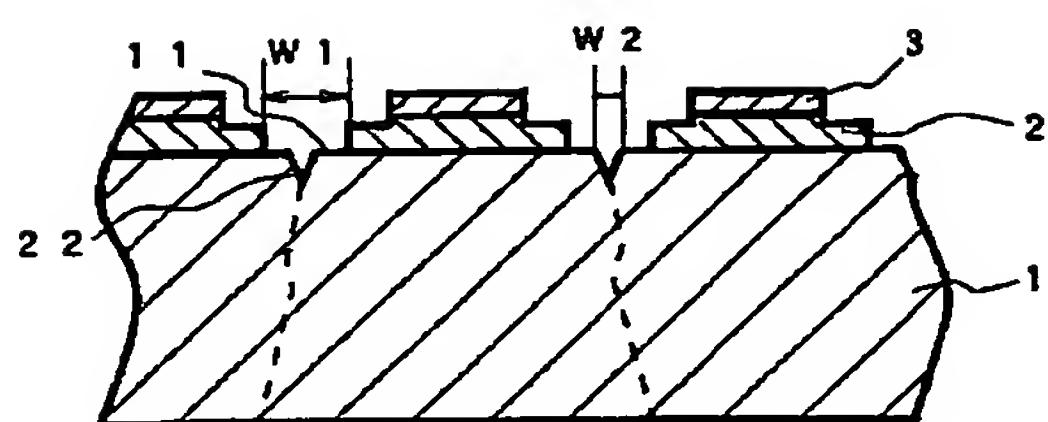
【図1】



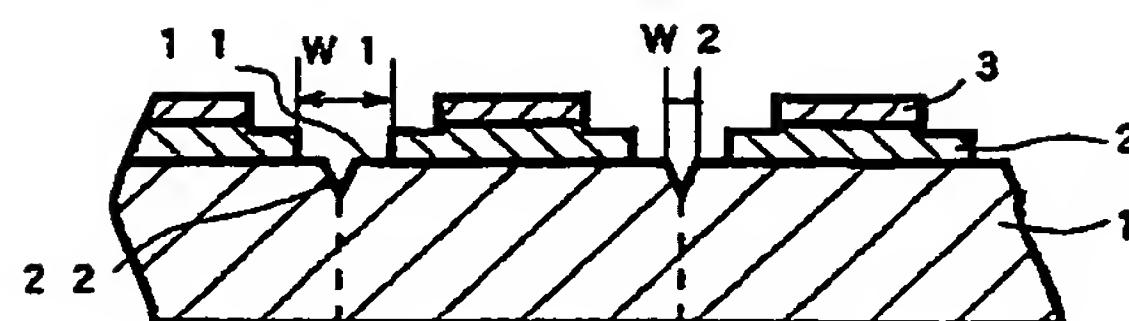
【図2】



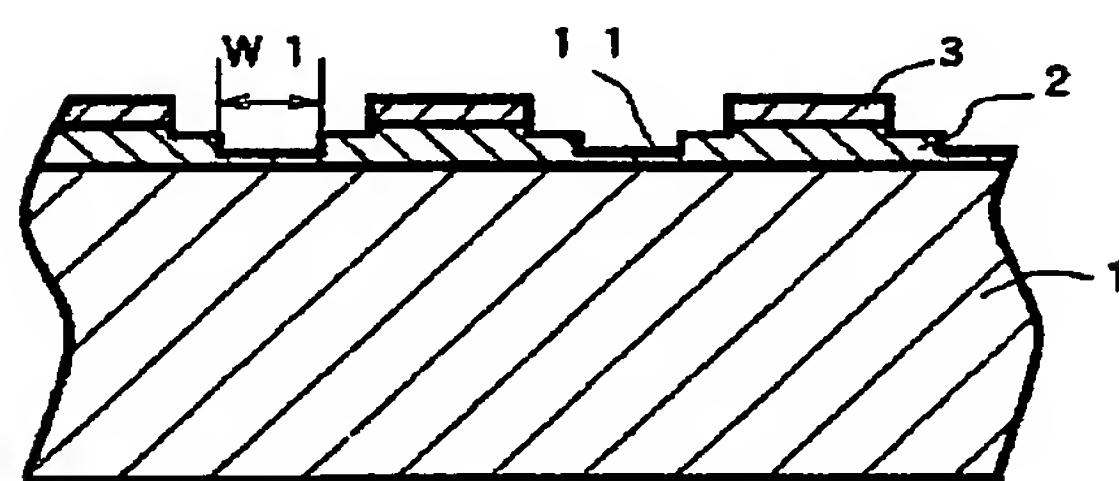
【図3】



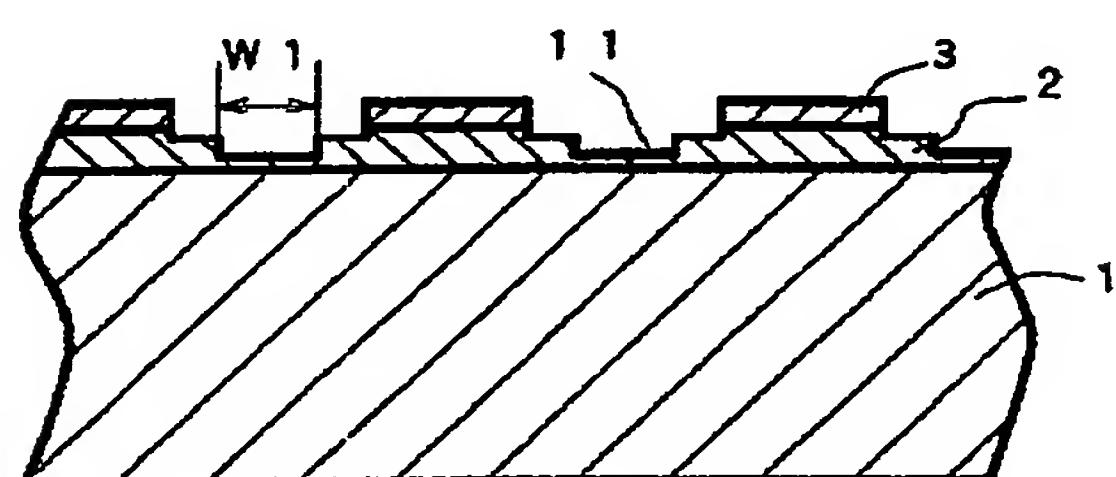
【図4】



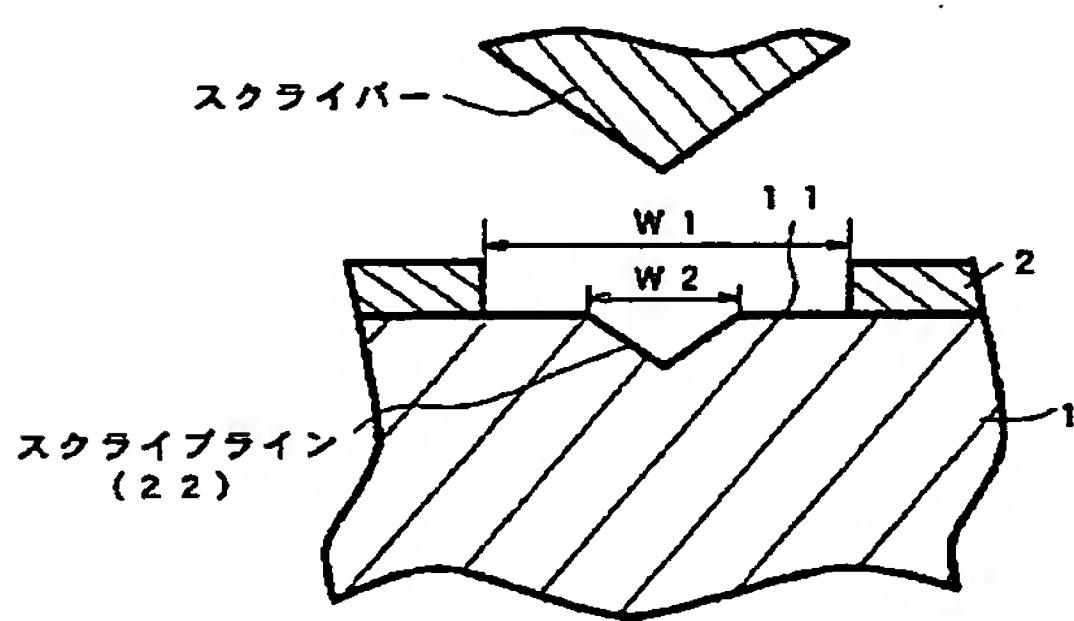
【図6】



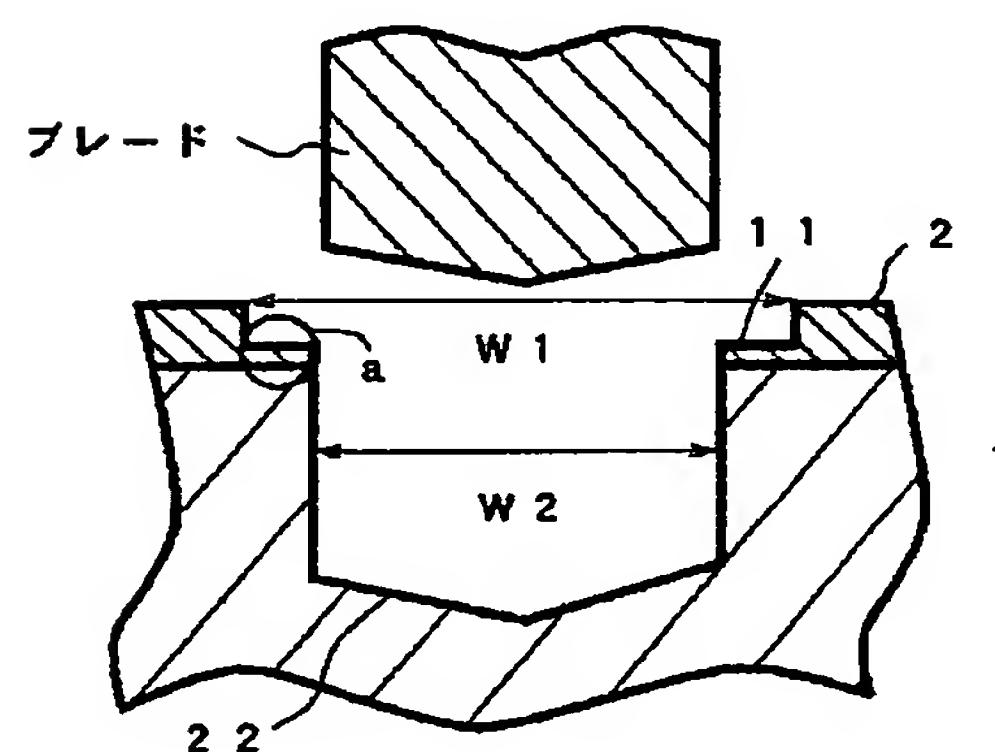
【図5】



【図7】



【図8】



【図9】

